

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭55—67234

⑤ Int. Cl.³
H 03 K 17/76

識別記号

庁内整理番号
7105—5 J

⑬ 公開 昭和55年(1980)5月21日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ アナログスイッチング回路

電機株式会社通信機製作所内

⑮ 特 願 昭53—141670

⑯ 出 願 人 三菱電機株式会社

⑰ 出 願 昭53(1978)11月15日

東京都千代田区丸の内2丁目2
番3号

⑱ 発 明 者 吉崎守

⑲ 代 理 人 弁理士 葛野信一 外1名

尼崎市南清水字中野80番地三菱

明 細 書

1. 発明の名称

アナログスイッチング回路

2. 特許請求の範囲

1) スイッチング素子をブリッジ接続して構成したスイッチングブリッジと、このスイッチングブリッジの2つの平衡端子にそれぞれ直流カット用コンデンサを介して接続された入力端子および出力端子と、前記スイッチングブリッジの2つの非平衡端子を介して前記スイッチング素子に電流を与えるバイアス回路と、前記スイッチング素子をオンオフするスイッチとを備えたことを特徴とするアナログスイッチング回路。

2) 前記スイッチング素子としてダイオードを用いたことを特徴とする特許請求の範囲第1項記載のアナログスイッチング回路。

3) 前記スイッチング素子としてトランジスタを用いたことを特徴とする特許請求の範囲第1項記載のアナログスイッチング回路。

3. 発明の詳細な説明

(1)

この発明は電圧損失を少なくしたアナログスイッチング回路に関するものである。

従来この種の回路としては第1図に示すものがあつた。図において、 T_i 、 T_o はそれぞれ入力端子および出力端子、 C_1 は入力端子 T_i に接続された入力電圧の直流成分カット用コンデンサ、 C_2 は出力端子 T_o に接続された出力電圧の直流成分カット用コンデンサ、 D はアノードが入力側の前記コンデンサ C_1 に、カソードが出力側の前記コンデンサ C_2 に接続されたスイッチングダイオード、 R_1 、 R_2 はスイッチングダイオード D に適正バイアス電圧を与えるための抵抗、 R_3 、 R_4 はスイッチ S がオフの時スイッチングダイオード D に逆方向バイアス電圧を与え、スイッチ S がオンの時スイッチングダイオード D に順方向バイアス電圧を与えるための抵抗、 V_c はスイッチングダイオード D のバイアス用電源である。

次に動作について説明する。

まずスイッチ S がオフの場合、スイッチングダイオード D のアノード電圧を V_1 、カソード電圧を

(2)

V_2 とすると、 $V_1 < V_2$ となり、スイッチングダイオードDは逆バイアスされる。したがってスイッチングダイオードDは非導通状態となり、入力端子Tiの入力信号は出力端子Toへ伝達されない。

次にスイッチSがオンの場合には、スイッチングダイオードDの順方向端子電圧を V_d とすると、 $V_1 > V_d + V_2$ となり、スイッチングダイオードDは順バイアスされる。したがってスイッチングダイオードDは導通状態となり、入力端子Tiの入力信号は出力端子Toへ伝達される。

従来のダイオードを用いたアナログスイッチング回路は以上のように構成されているので、ダイオード順方向端子電圧分の電圧損失があり、後段でレベル補償をする必要があるなどの欠点があった。

この発明は上記のような従来のものの欠点を除去するためになされたもので、スイッチング素子のブリッジによりスイッチング素子の順方向端子電圧による電圧損失を相殺できる低損失のアナログスイッチング回路を提供することを目的として

(3)

回路を構成する。

次に動作について説明する。

まずスイッチSがオフの場合、ダイオードブリッジの第1、第2非平衡端子 T_3 、 T_4 の電位を V_3 、 V_4 とすると $V_3 = V_4$ となるため、ダイオード D_1 、 D_2 、 D_3 、 D_4 はすべて非導通状態となり、入力端子Tiの入力信号は出力端子Toに現われない。

次にスイッチSがオンの場合、ダイオードブリッジの第1、第2平衡端子 T_1 、 T_2 の電位を V_1 、 V_2 とすると、 $V_3 > V_1 > V_4$ および $V_3 > V_2 > V_4$ となり、ダイオード D_1 、 D_2 、 D_3 、 D_4 はいずれも導通状態となる。したがってダイオード D_1 、 D_2 、 D_3 、 D_4 の順方向端子電圧を V_{D1} 、 V_{D2} 、 V_{D3} 、 V_{D4} とすると、 $V_2 = V_1 - V_{D1} + V_{D2} = V_1 + V_{D3} - V_{D4}$ となり、 $V_{D1} \approx V_{D2} \approx V_{D3} \approx V_{D4}$ とすると $V_2 \approx V_1$ となる。

したがって、出力電圧はほぼ入力電圧と同一の値が得られ、入力信号はほぼ損失なく出力端子に取出すことができる。

なお前記実施例ではダイオードを用いたブリッ

(5)

いる。

以下この発明の一実施例を図について説明する。

第2図において、 T_i 、 T_o 、 C_1 、 C_2 、 S 、 V_c は第1図と同じものを示す。 D_1 、 D_2 、 D_3 、 D_4 は相互にブリッジ接続されたスイッチングダイオードであり、このダイオードブリッジはダイオード D_1 、 D_3 の接続点である第1平衡端子 T_1 が入力側のコンデンサ C_1 に、ダイオード D_2 、 D_4 の接続点である第2平衡端子 T_2 が出力側のコンデンサ C_2 にそれぞれ接続されている。また R_5 はバイアス用電源 V_c とダイオード D_1 、 D_2 の接続点である第1非平衡端子 T_3 間に接続されたバイアス電流制御用低抗、 R_6 はダイオード D_3 、 D_4 の接続点である第2非平衡端子 T_4 とスイッチSとの間に接続されたバイアス電流制御用低抗、 R_7 は前記両非平衡端子 T_3 、 T_4 間に接続され、スイッチSがオフの時ダイオード D_1 、 D_3 および D_2 、 D_4 に逆バイアス電圧を与えるための低抗である。そしてバイアス用電源 V_c 、低抗 R_5 、 R_6 、 R_7 によりスイッチングダイオード D_1 、 D_2 、 D_3 、 D_4 に電流を与えるバイアス

(4)

ジ回路について説明したが、ダイオードの代わりにトランジスタを用いても良く、この場合スイッチSは各トランジスタのベース電流を閉鎖するスイッチとなる。

以上のようにこの発明のアナログスイッチング回路によれば、スイッチング回路をブリッジ回路で構成したことにより電圧損失の少ないアナログスイッチング回路が安価に得られる効果がある。

4. 図面の簡単な説明

第1図は従来の1個のダイオードを用いたアナログスイッチング回路の回路図、第2図はこの発明の一実施例によるアナログスイッチング回路の回路図である。

D_1 、 D_2 、 D_3 、 D_4 …スイッチング素子としてのダイオード、 T_i …入力端子、 T_o …出力端子、 C_1 、 C_2 …直流カット用コンデンサ、 T_1 、 T_2 …平衡端子、 T_3 、 T_4 …非平衡端子、 S …スイッチ、 V_c …バイアス用電源、 R_5 、 R_6 、 R_7 …バイアス回路用低抗。

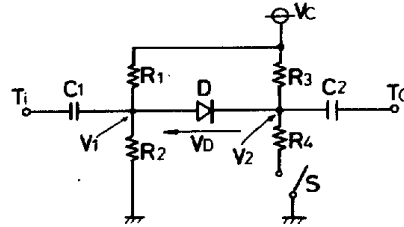
なお図中、同一符号は同一または相当部分を示

(6)

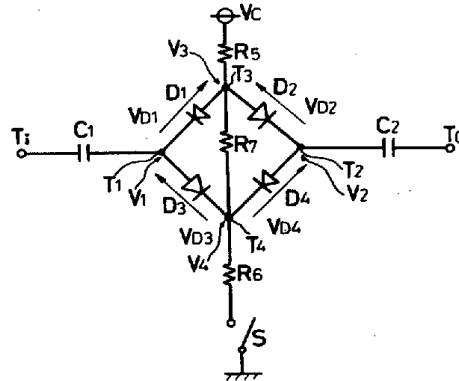
す。

代理人 葛野 信一 (外1名)

第 1 図



第 2 図



(7)

手続補正書 (自発)

昭和 54 年 2 月 20 日

特許庁長官 殿

1. 事件の表示 特願昭 53-141670号

2. 発明の名称 アナログスイッチング回路

3. 補正をする者

事件との関係 特許出願人
住所 東京都千代田区丸の内二丁目2番3号
名称 (601) 三菱電機株式会社
代表者 進 藤 貞 和

4. 代理人
住所 東京都千代田区丸の内二丁目2番3号
氏名 (6699) 三菱電機株式会社
弁理士 葛野 信一

5. 補正の対象

明細書の発明の詳細な説明の欄

6. 補正の内容

明細書をつぎのとおり訂正する。

ページ	行	訂 正 前	訂 正 後
3	6~7	V_d とすると、 $V_1 > V_D + V_2$ となり、	V_D とすると、 $V_1 = V_D + V_2$ となり、
5	14	$V_2 = V_1 - V_{D1} + V_{D2}$ $= V_1 + V_{D3} - V_{D4}$	$V_2 = V_1 + V_{D1} - V_{D2}$ $= V_1 - V_{D3} + V_{D4}$

(2)

PAT-NO: JP355067234A
DOCUMENT-IDENTIFIER: JP 55067234 A
TITLE: ANALOGUE SWITCHING CIRCUIT
PUBN-DATE: May 21, 1980

INVENTOR-INFORMATION:

NAME	COUNTRY
YOSHIZAKI, MAMORU	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MITSUBISHI ELECTRIC CORP	N/A

APPL-NO: JP53141670
APPL-DATE: November 15, 1978

INT-CL (IPC): H03K017/76

US-CL-CURRENT: 327/494

ABSTRACT:

PURPOSE: To obtain a low-loss analogue switching circuit which can cancel the voltage loss dependent upon the forward terminal voltage of a switching element by the bridge of the switching element.

CONSTITUTION: When switch S is turned off, diodes D1~D4 are all non-conductive, and input

signals at input terminal T_i do not appear at output terminal T_o . When switch S is turned on, voltages $V_1 \sim V_4$ at respective terminals of the diode bridge have relations of $V_3 > V_1 > V_4$ and $V_3 > V_2 > V_4$, and diodes $D_1 \sim D_4$ are all conductive. Consequently, if forward voltage drop of diodes $D_1 \sim D_4$ is equal to one another, $V_2 = V_1$ is true, and the output voltage has the same value as the input voltage, so that input signals can be taken out at the output terminal without loss.

COPYRIGHT: (C)1980, JPO&Japio